



Connecting the World

graniteriverlabs.com

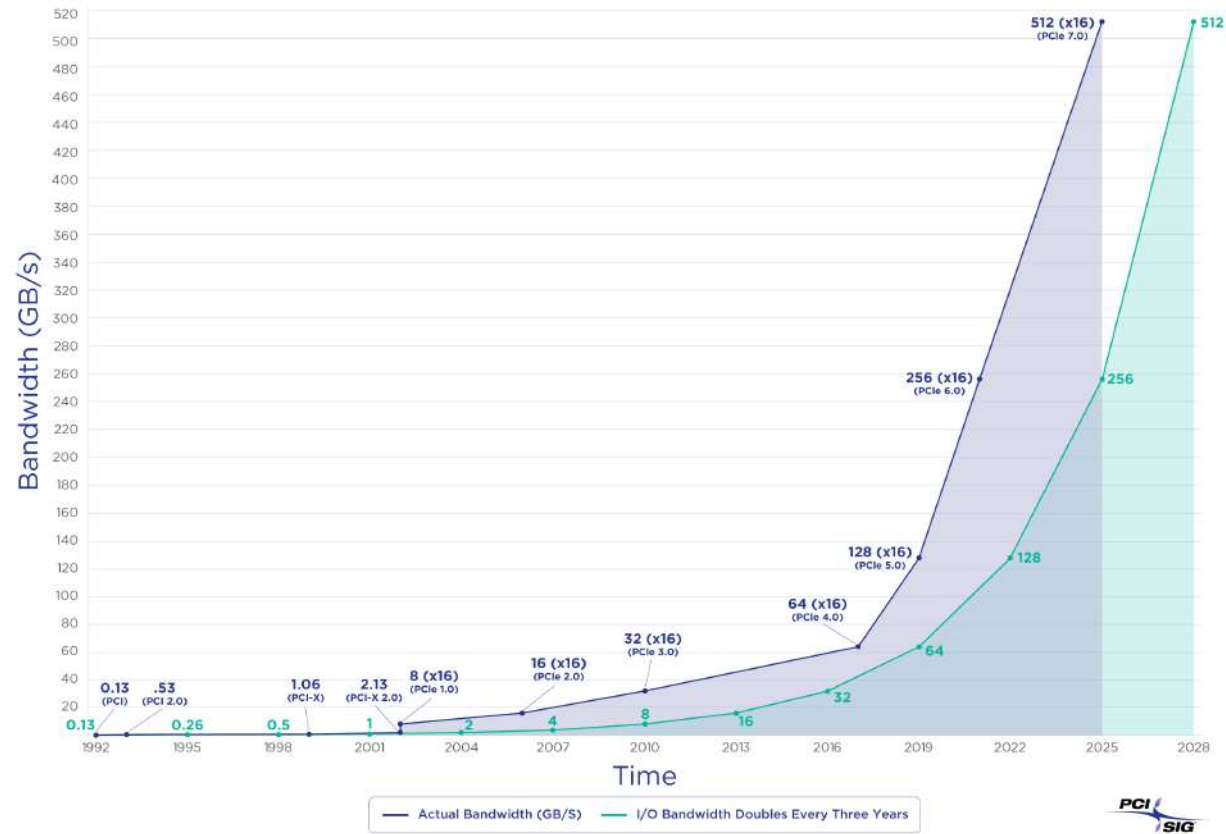
PCI Expressセミナー 基本技術とコンプライアンスを中心に

永田 学 / 関根 清生



インロトダクション

📶 I/O BANDWIDTH DOUBLES EVERY 3 YEARS



インロトダクション

- 注目のインタフェイス
 - 高速化が著しい昨今，最も加速していると言って過言のないインタフェイス PCI Express
 - LSI間インタフェース ⇒ 次世代組込み技術の中核
- 広がる市場
 - AIプロセッサ関連
 - クラウド・サーバ (10G/40G Network)
 - ストレージ(NVMe, SATA, SD, CF)
 - 車載，モバイル，IoT，イメージセンサ(MIPI)

セミナーの目的
今回は概要をつかんで
いただきます。

目次

- PCI Express 技術的な特徴
- ベーススペック vs. CEMスペック
- コンポネント，リンク，レーンの定義
- アーキテクチャ：トポロジー
- アーキテクチャ：レイヤ構造
- トランザクション層，データリンク層，物理層
- 送信信号のプリセットとリンク確立手順
- コンプライアンス試験概要

技術的特長

- PCベースのシステムで最高のデータ転送速度
- 拡張容易性：多レーン化&次世代移行
- ソフトウェア互換性：
PCI → PCI-X → PCI Express
- IC間通信：次世代の組込み必須技術

Revision	1.0	2.0	3.0/3.1	4.0	5.0	6.0	7.0
リリース	2003	2007	2010	2017	2019	2021	(2025)
変調方式	NRZ	NRZ	NRZ	NRZ	NRZ	PAM4	PAM4
レーン速度	2.5 GT/s	5 GT/s	8 GT/s	16 GT/s	32 GT/s	64 GT/s	128 GT/s
符号化	8b/10b	8b/10b	128b/130b	128b/130b	128b/130b	128b/130b	128b/ 130b
x1ビットレート	2 Gb/s	4 Gb/s	7.9 Gb/s	15.8 Gb/s	31.5 Gb/s	63.0 Gb/s	126 Gb/s
x16バイト速度	4 GB/s	8 GB/s	15.8 GB/s	31.5 GB/s	63 GB/s	126 GB/s	262 GB/s

「2つ」のスペック ベーススペック vs. CEMスペック

■ ベーススペック

- アーキテクチャ, プロトコル, リンク層, 物理層, そして, ソフトウェアインタフェース といった技術仕様全般
- チップレベルのコンプライアンス基準が定義
- 本仕様での公認の認証プログラムやテストフィクスチャはない

■ CEMスペック

- CEMは, マザーボードのコネクタ
- 最終製品つまり, コンポーネント (アドインカード, ホストシステム) の機械的要件, 電氣的なコンプライアンスを定義
- テストフィクスチャやテストツールは, コンプライアンス試験仕様(CTS)に基づき規定, 団体であるPCI-SIGが供給

CEMの他にも以下が知られています

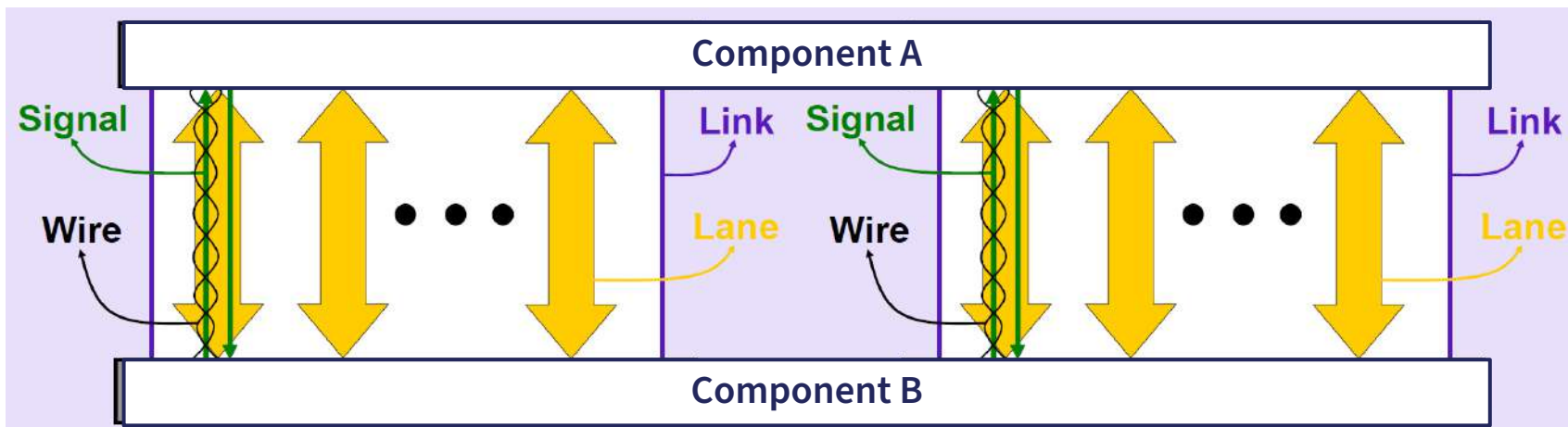
- COM express,
- M.2(NVMe)

CEM: Card ElectroMechanical

CTS: Compliance Test Specification

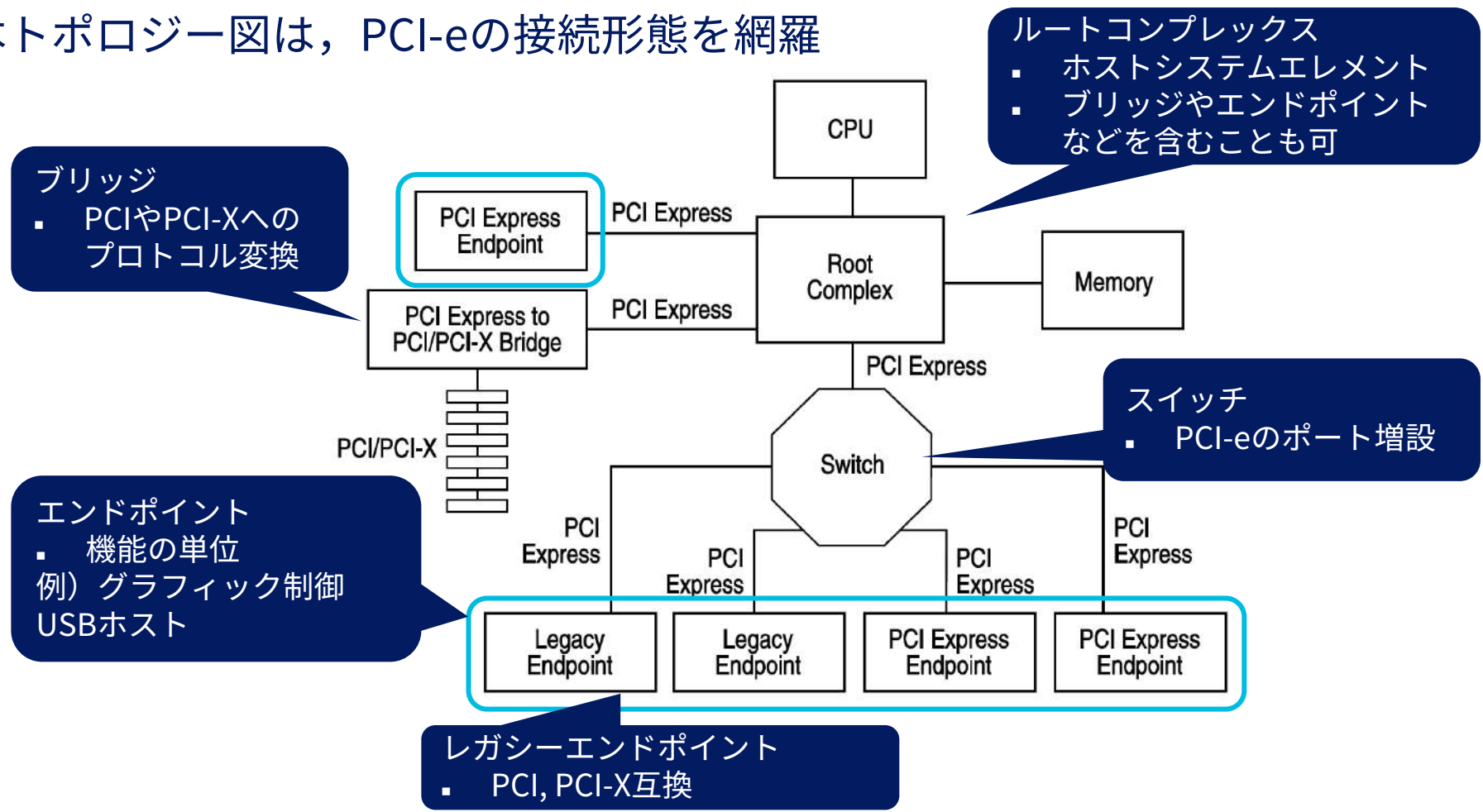
コンポーネント、リンク、レーンの定義

- コンポーネントは、信号をはさむ物理層の単位、リンクを複数設定可能
- リンクは、コンポーネント間で複数設定可能、双方向のレーンを含む
- レーンは、物理的な差動信号線を双方向にて定義



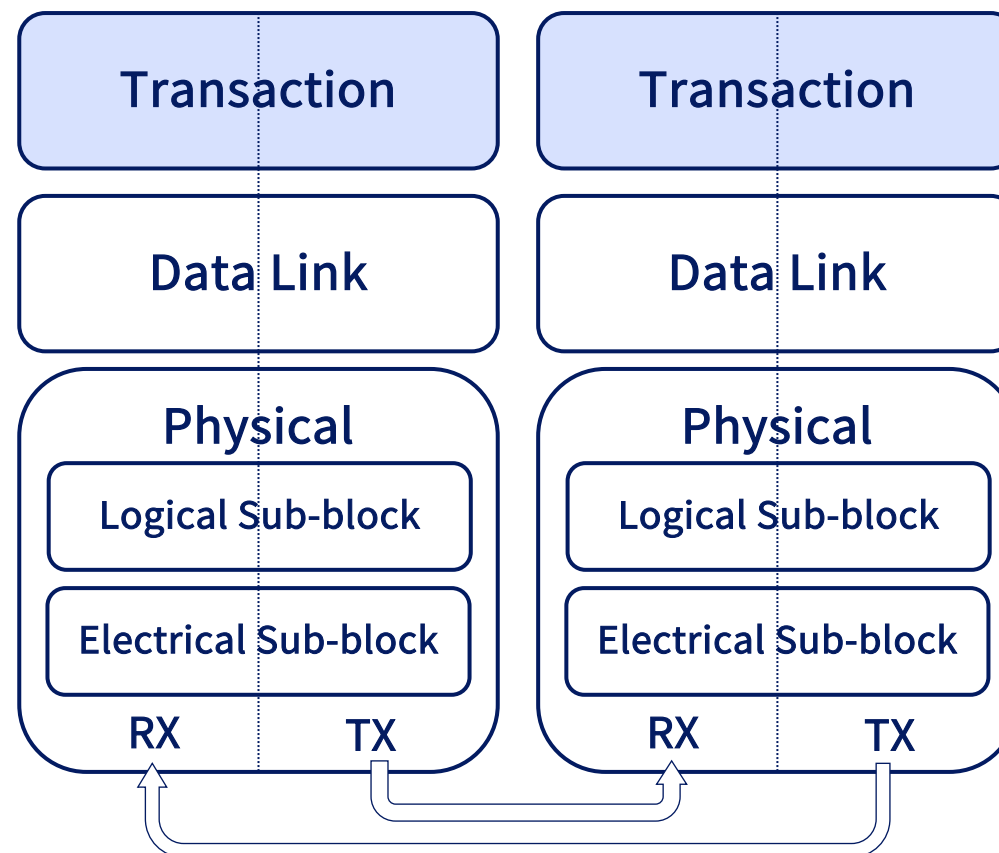
アーキテクチャ：トポロジー

- 本トポロジー図は、PCI-eの接続形態を網羅



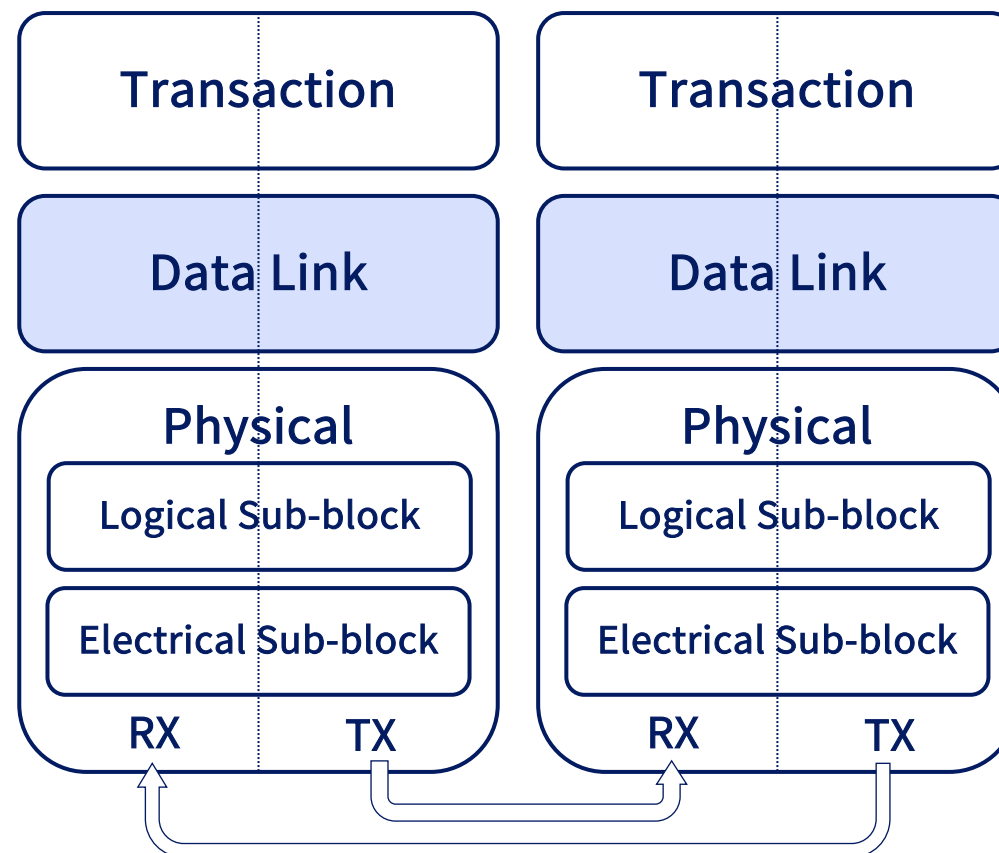
アーキテクチャ：レイヤ構造①

- トランザクション層
 - パケット(TLP)処理
 - Read, Writeなどイベント単位の通信処理
 - クレジットベースフロー制御
 - 4つの空間
 - メモリ空間
 - 通常の通信データ
 - コンフィグレーション空間
 - 設定レジスタへのアクセス
 - I/O空間
 - PCIなどの下位互換データ
 - メッセージ空間
 - 割込, 電力制御要求



アーキテクチャ：レイヤ構造②

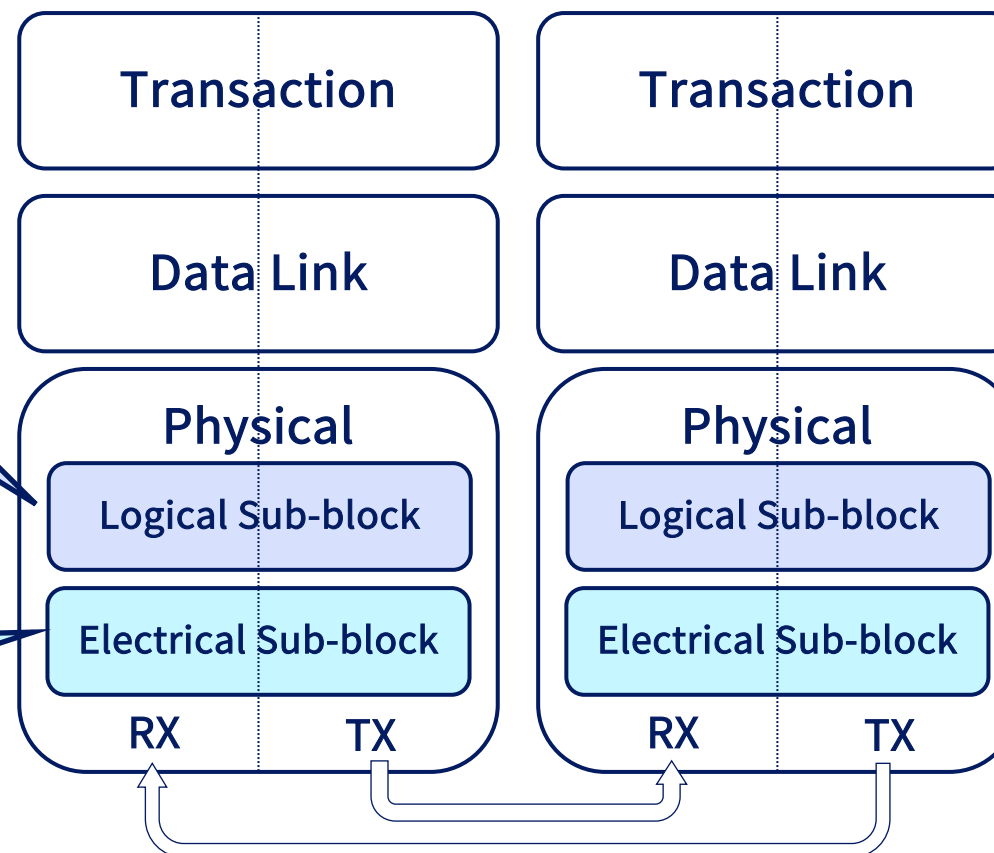
- データリンク層
 - データの送達
 - シーケンス番号
 - 誤り検知と再送
 - LCRC
- リンク制御
- 電力制御



アーキテクチャ：レイヤ構造③

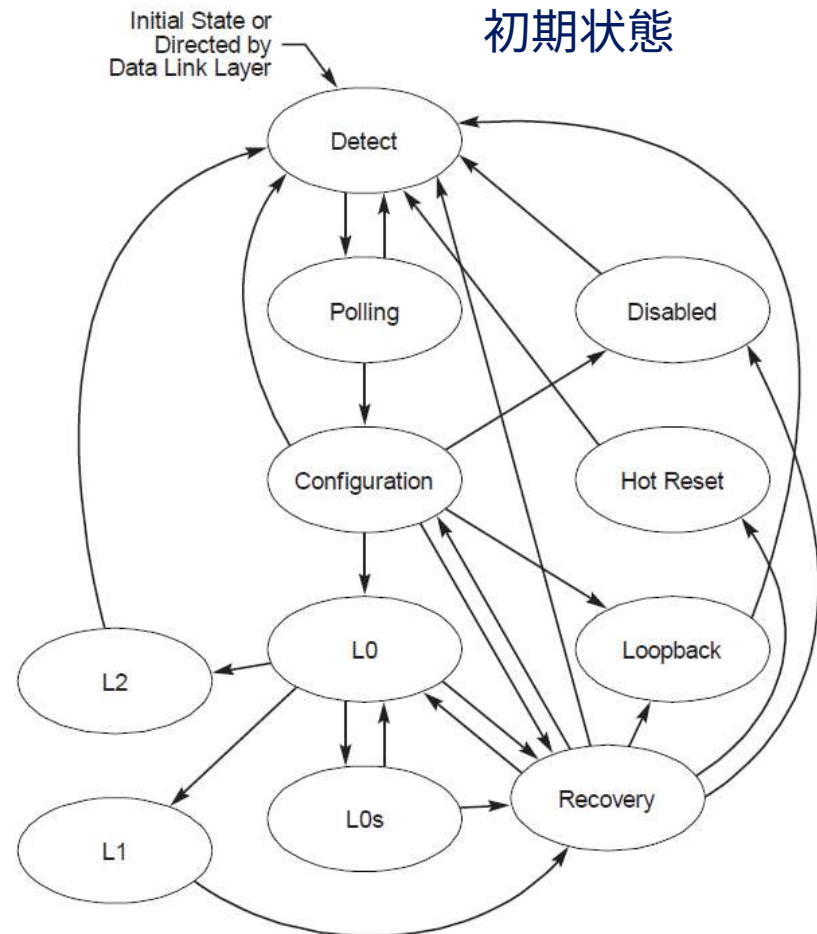
- 物理層 -論理副層-
 - 符号化
 - 8b/10b (Gen1&2)
 - 128b/130b (Gen3 & later)
 - Clock Data Recovery

- 物理層 -電気副層-
 - 送信プリセット
 - 受信イコライザ
 - CLTE and/or DFE



アーキテクチャ：LTSSM (Link Training and Status State Machine)

- 各リンクは、LTSSMにより状態を管理されている。
- Detect: 受信機の検知
- Polling: シンボルロック
- Configuration: 設定の確定
- L0: 通常通信状態
- L0s/L1/L2: 省電力状態
- Recovery: 再構成/リンク復旧



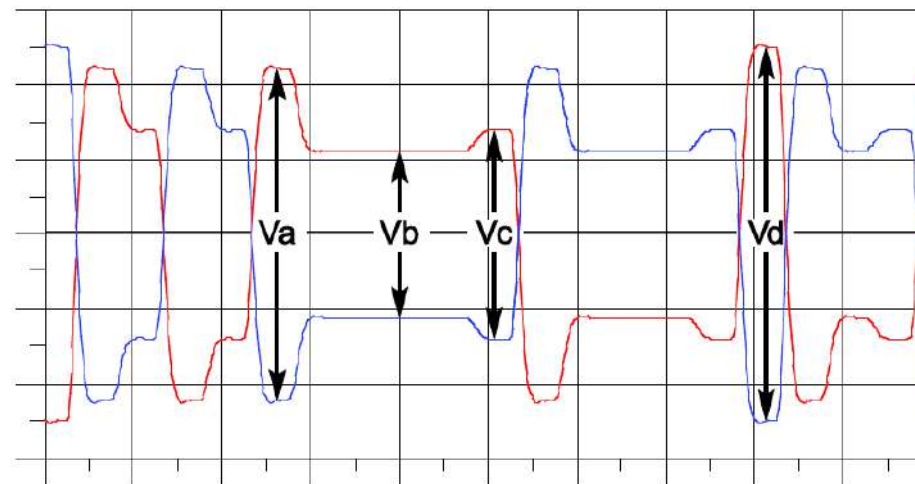
送信信号の設定：プリセット

■ プリセット

- 送信信号にDe-emphasisとPreshootを施すため規格の8GT/s以降で定義された設定値の組，P0～P10
- De-emphasis: ビット極性変化後を「強調」
- Preshoot: 基板信号線の「遅延補正」
- Boost: 単独ビットの「強調」 + 「遅延補正」

Table 4-16: Tx Preset Ratios and Corresponding Coefficient Values

Preset Number	Preshoot (dB)	De-emphasis (dB)	c_{-1}	c_{+1}	Va/Vd	Vb/Vd	Vc/Vd
P4	0.0	0.0	0.000	0.000	1.000	1.000	1.000
P1	0.0	-3.5 ± 1 dB	0.000	-0.167	1.000	0.668	0.668
P0	0.0	-6.0 ± 1.5 dB	0.000	-0.250	1.000	0.500	0.500
P9	3.5 ± 1 dB	0.0	-0.166	0.000	0.668	0.668	1.000
P8	3.5 ± 1 dB	-3.5 ± 1 dB	-0.125	-0.125	0.750	0.500	0.750
P7	3.5 ± 1 dB	-6.0 ± 1.5 dB	-0.100	-0.200	0.800	0.400	0.600
P5	1.9 ± 1 dB	0.0	-0.100	0.000	0.800	0.800	1.000
P6	2.5 ± 1 dB	0.0	-0.125	0.000	0.750	0.750	1.000
P3	0.0	-2.5 ± 1 dB	0.000	-0.125	1.000	0.750	0.750
P2	0.0	-4.4 ± 1.5 dB	0.000	-0.200	1.000	0.600	0.600
P10	0.0	See Note 2.	0.000	See Note 2.	1.000	See Note 2.	See Note 2.



$$\text{De-emphasis} = 20\log_{10} Vb/Va$$

$$\text{Preshoot} = 20\log_{10} Vc/Vb$$

$$\text{Boost} = 20\log_{10} Vd/Vb$$

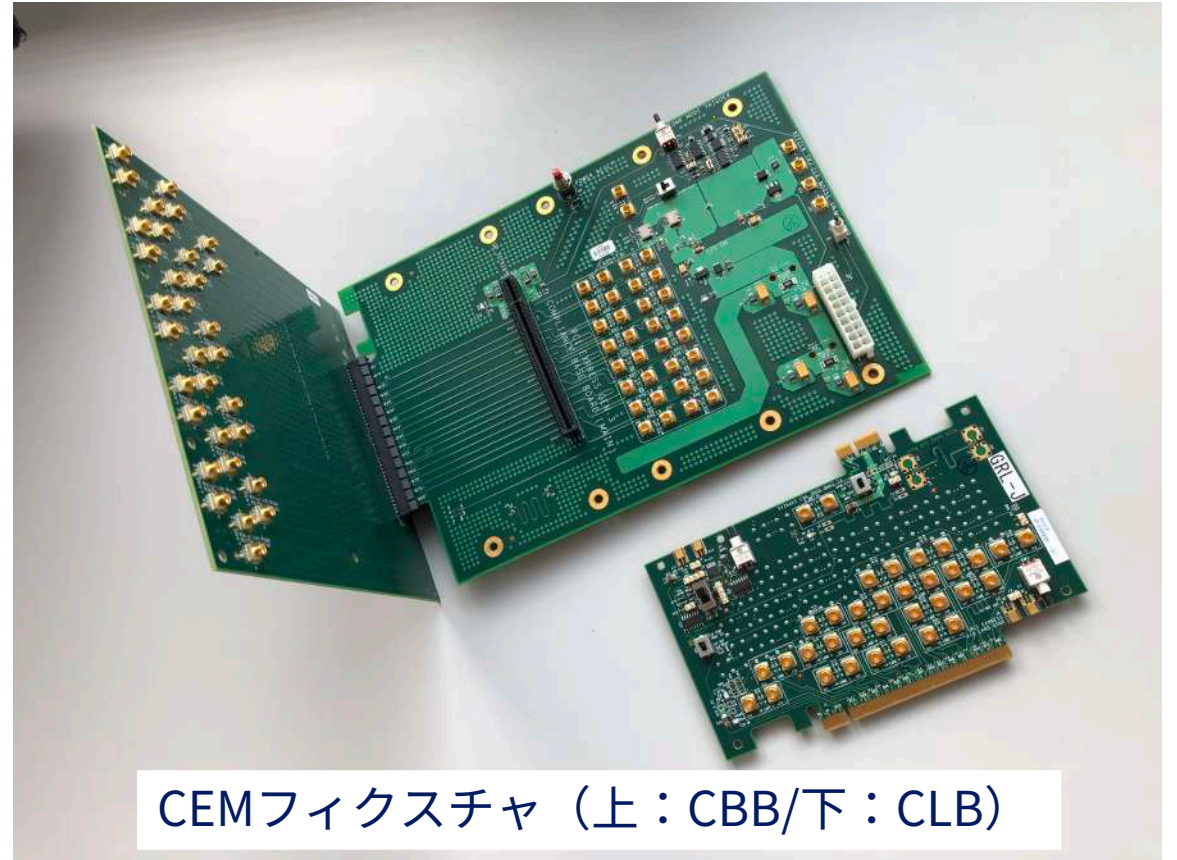
リンク確立手順：プリセットの設定

■ TS1とTS2を用いたプリセット設定



コンプライアンス試験概要

- PCI Express



PCI Express Architecture PHY Test Specification Revision 5.0, Version 1.0

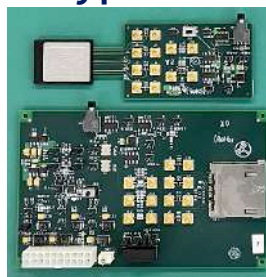
	Test name	Generation (Data rate)				
		Gen1 (2.5Gb/s)	Gen2 (5Gb/s)	Gen3 (8Gb/s)	Gen4 (16Gb/s)	Gen5 (32Gb/s)
Add-in Card	2.1 Add-in Card Transmitter Signal Quality	○	○	○	○	○
	2.2 Add-in Card Transmitter Pulse Width Jitter Test at 16 GT/s	----	----	----	○	○
	2.3 Add-in Card Transmitter Jitter Test at 32 GT/s	----	----	----	----	○
	2.4 Add-in Card Transmitter Preset Test	----	----	○	○	○
	2.5 Add-in Card Transmitter Initial TX EQ Test	----	----	○	○	○
	2.6 Add-in Card Transmitter Link Equalization Response Test	----	----	○	○	○
	2.15 Add-in Card Receiver Link Equalization Test	----	----	○	○	○
	2.18 Add-in Card PLL Bandwidth	○	○	○	○	○
System	2.9 System Board Transmitter Signal Quality	○	○	○	○	○
	2.10 System Board Transmitter Jitter Test at 32 GT/s	----	----	----	----	○
	2.11 System Board Transmitter Preset Test	----	----	○	○	○
	2.12 System Board Transmitter Link Equalization Response Test	----	----	○	○	○
	2.16 System Receiver Link Equalization Test	----	----	○	○	○
	2.17 System Board Reference Clock (100 MHz) Jitter Test	○	○	○	○	○

コンプライアンス試験／フィクスチャ

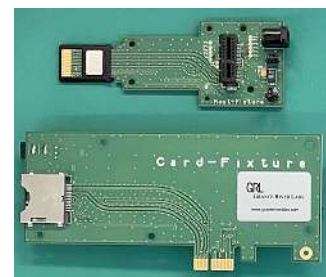
Gen4 M.2



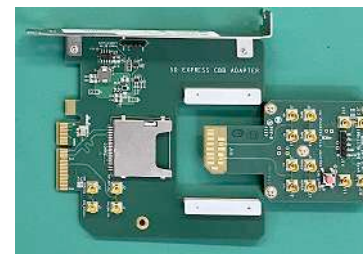
CF-Express
Type-B



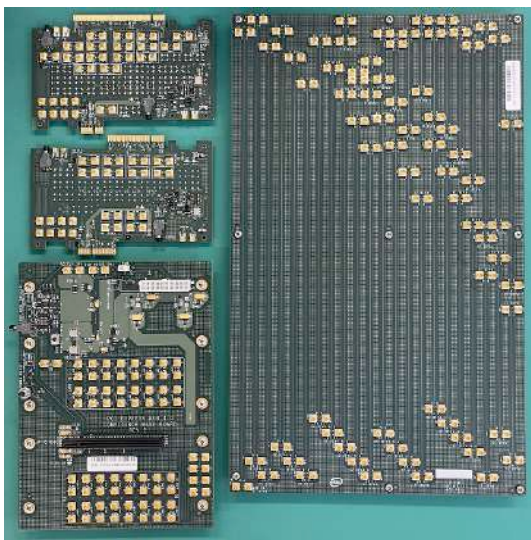
CF-Express
Type-A



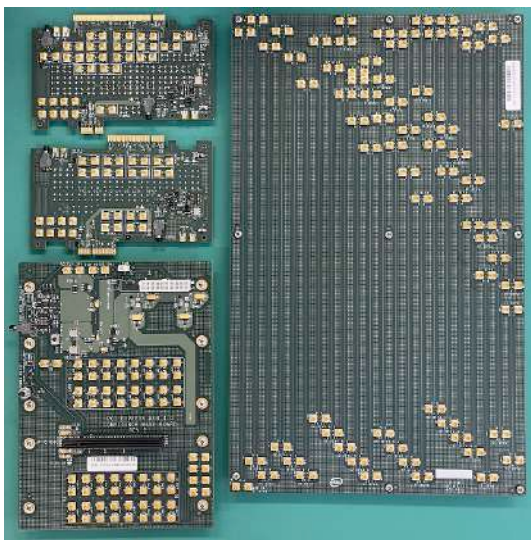
SD-Express



Gen4 CLB



Gen4 ISI



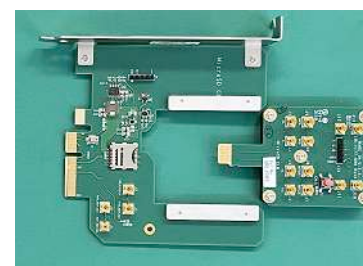
Gen3 CLB



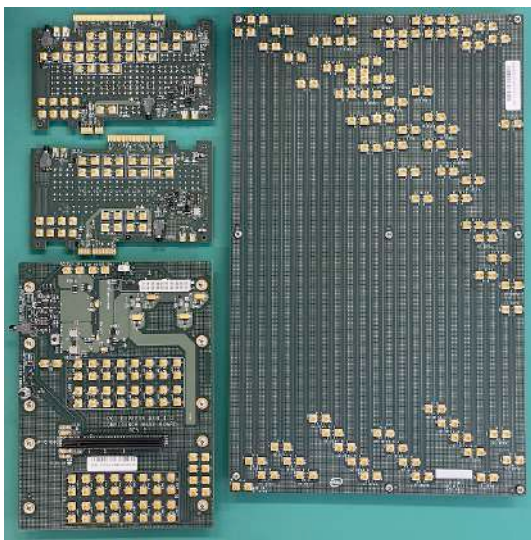
Gen3 CBB



SD-Express
Micro

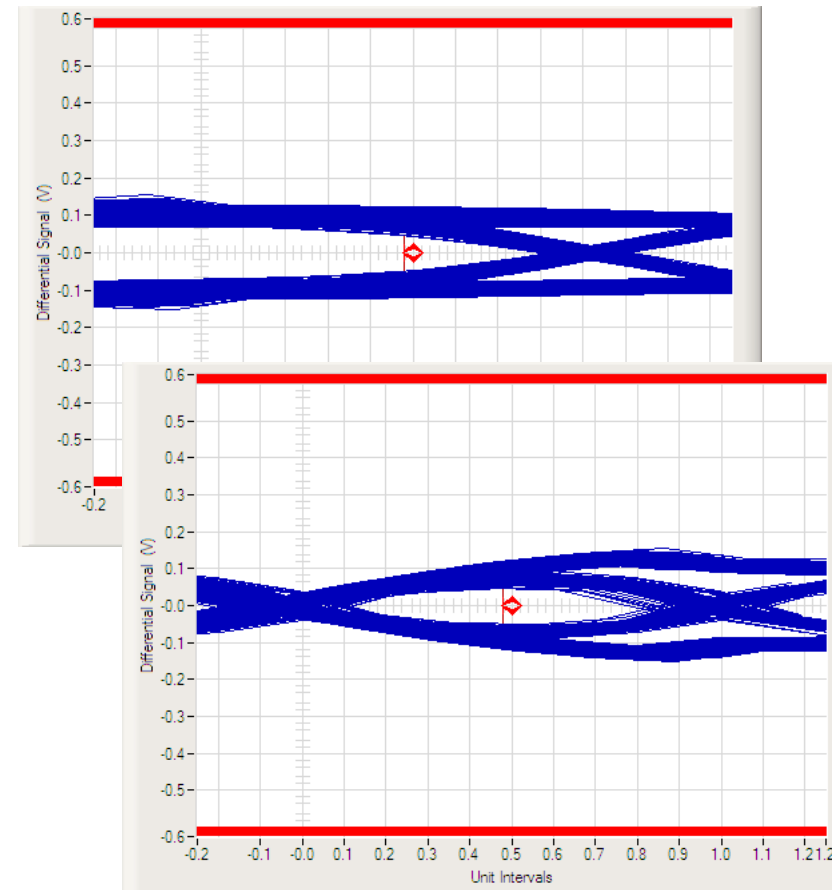
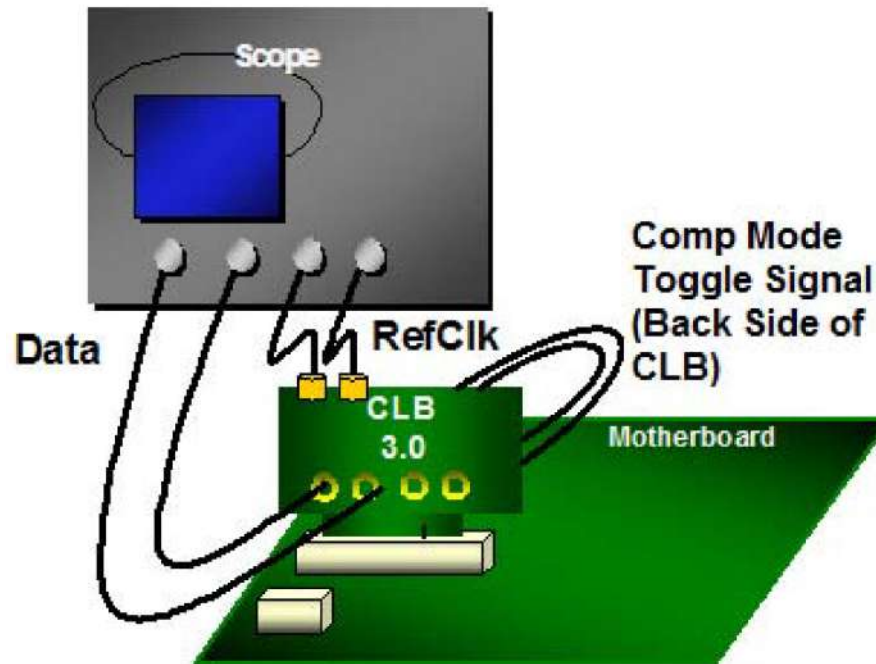


Gen4 CBB



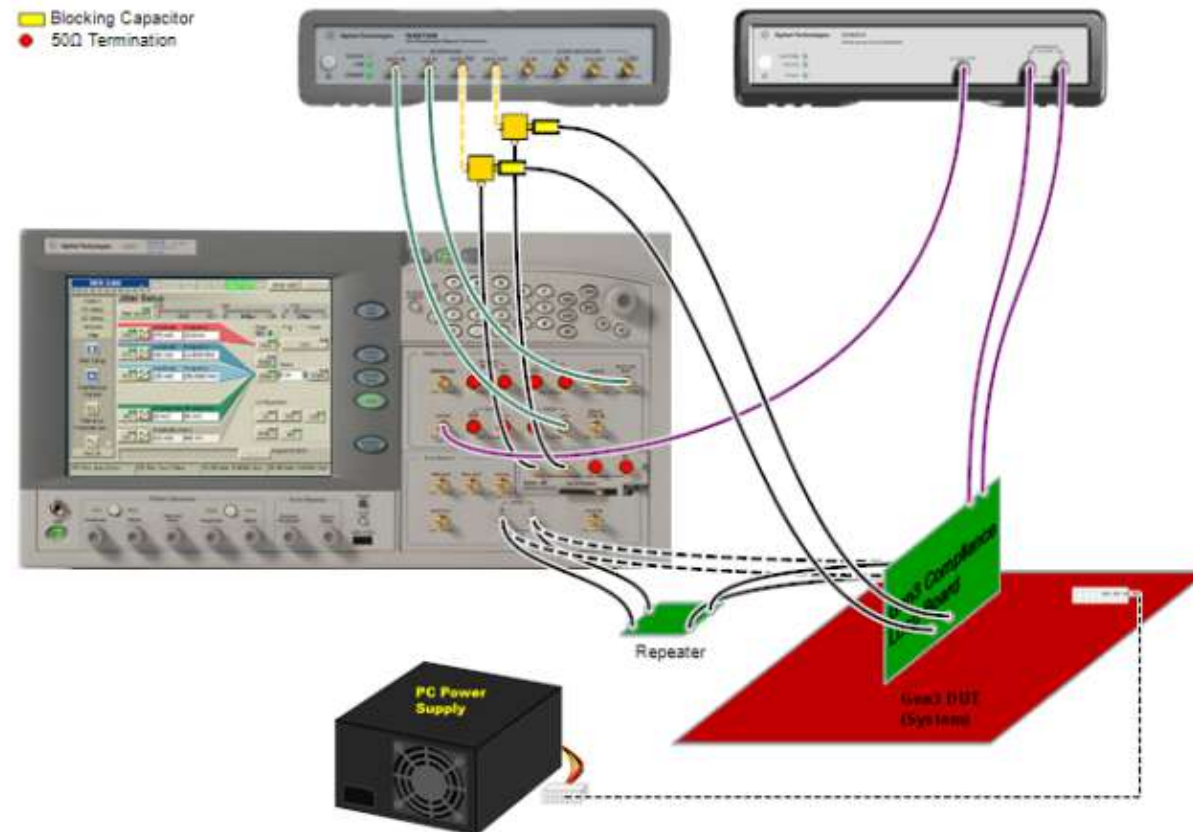
コンプライアンス試験／送信試験

- CLB/CBBを介してコンプライアンスパターン信号を計測

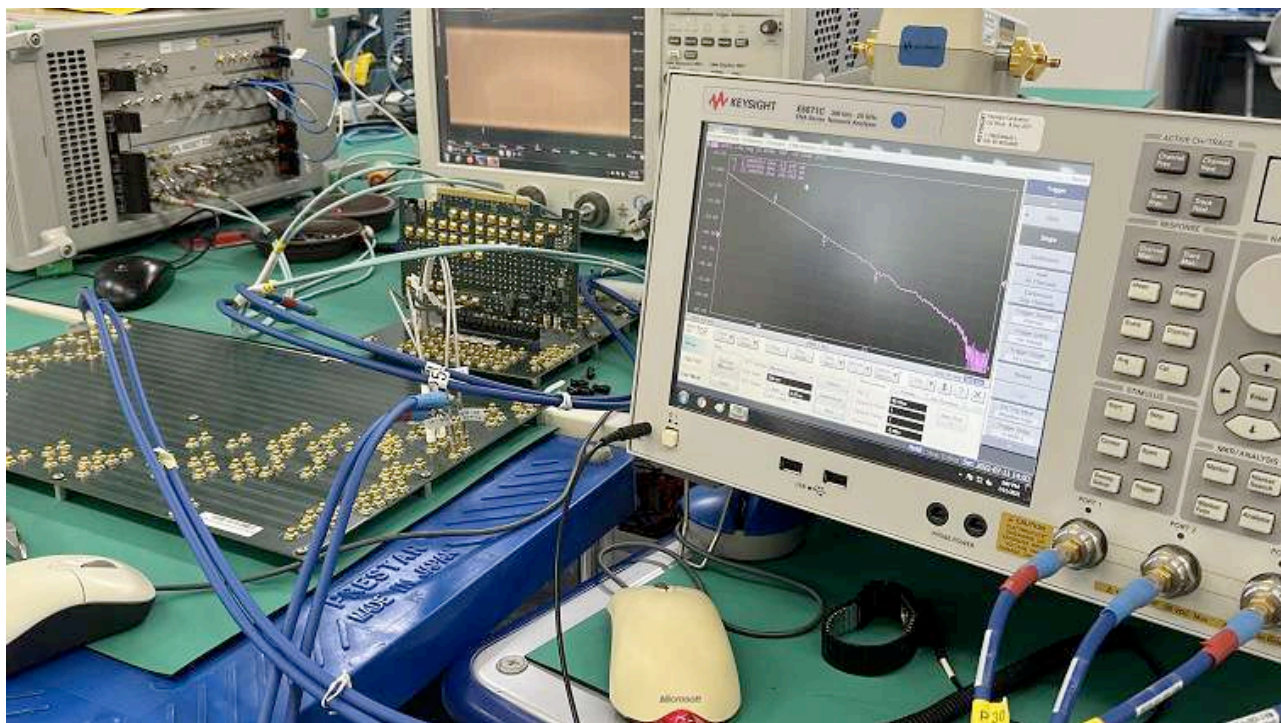


コンプライアンス試験／受信試験

- 受験機をループバックモードにさせて、評価する。

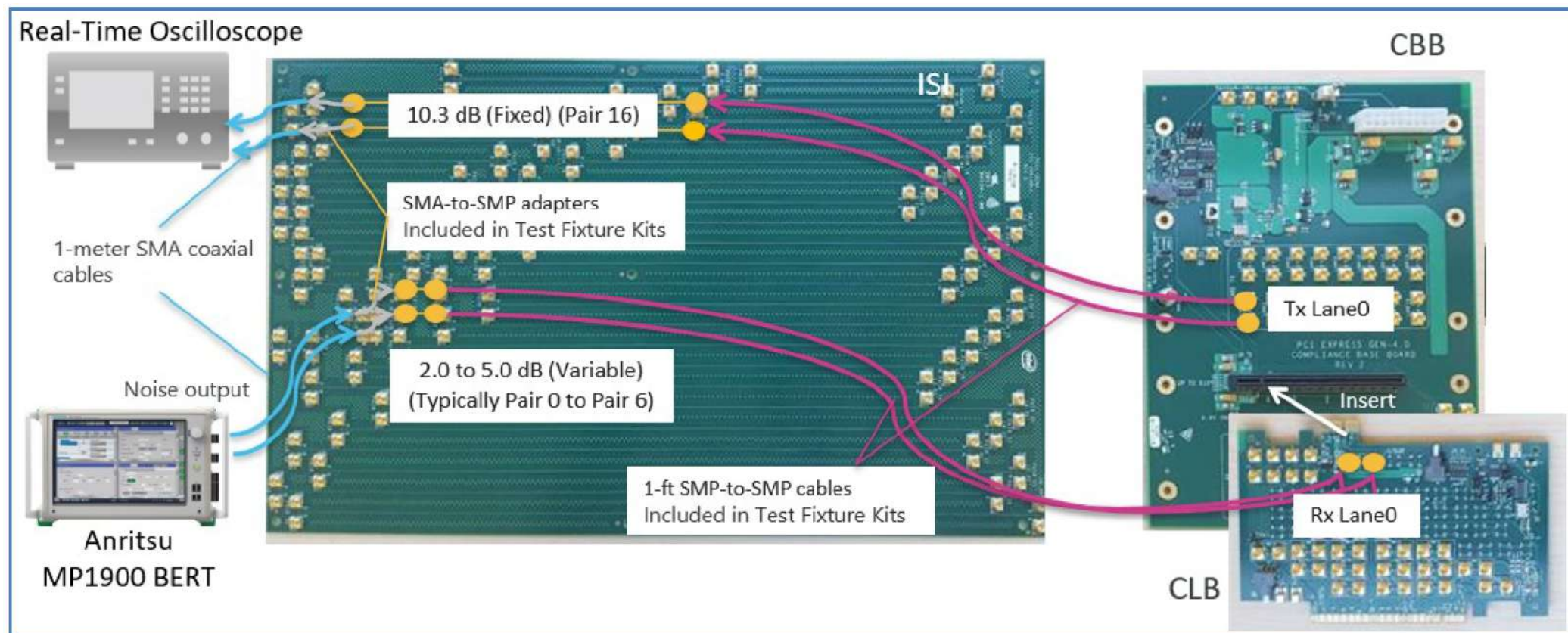


コンプライアンス試験 / Gen4 & Gen5



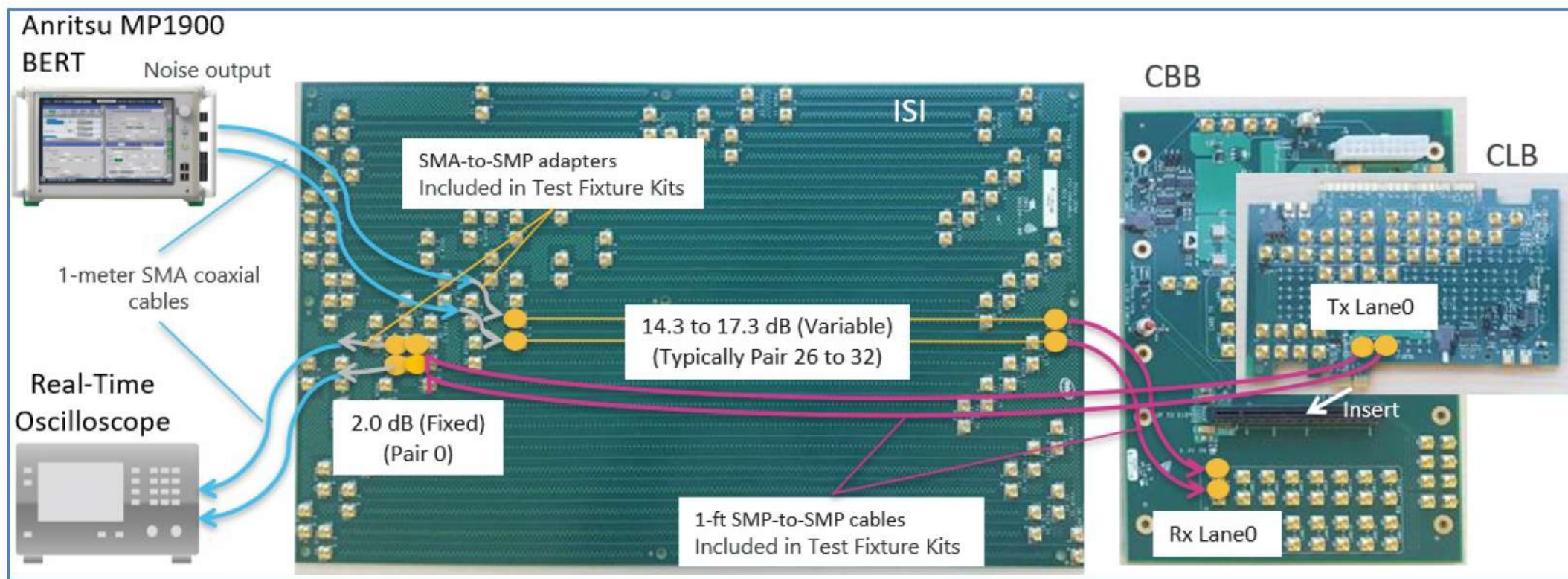
コンプライアンス試験 / Gen4 & Gen5

System側のキャリブレーションセッティング



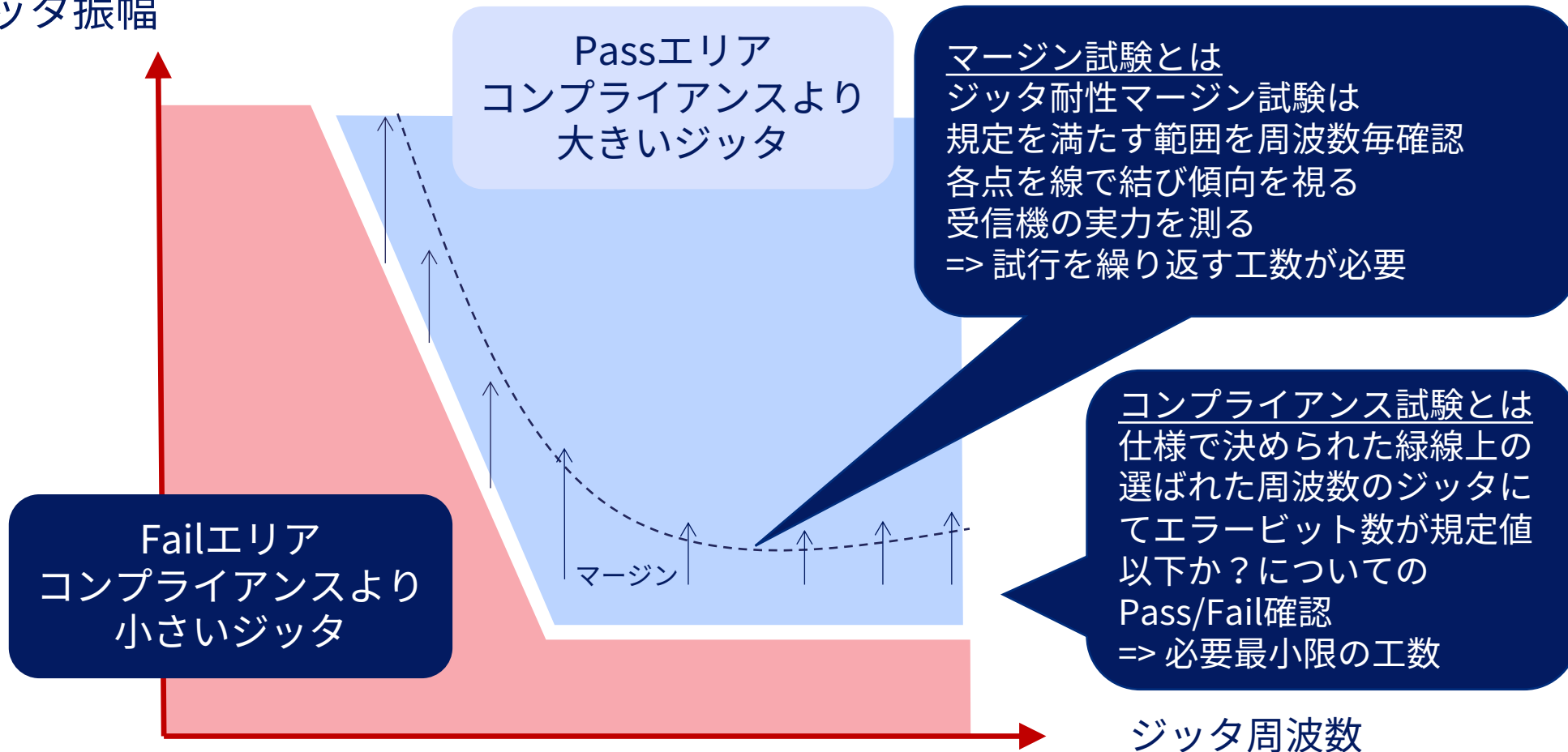
コンプライアンス試験 / Gen4 & Gen5

Add-In-Card側のキャリブレーションセッティング

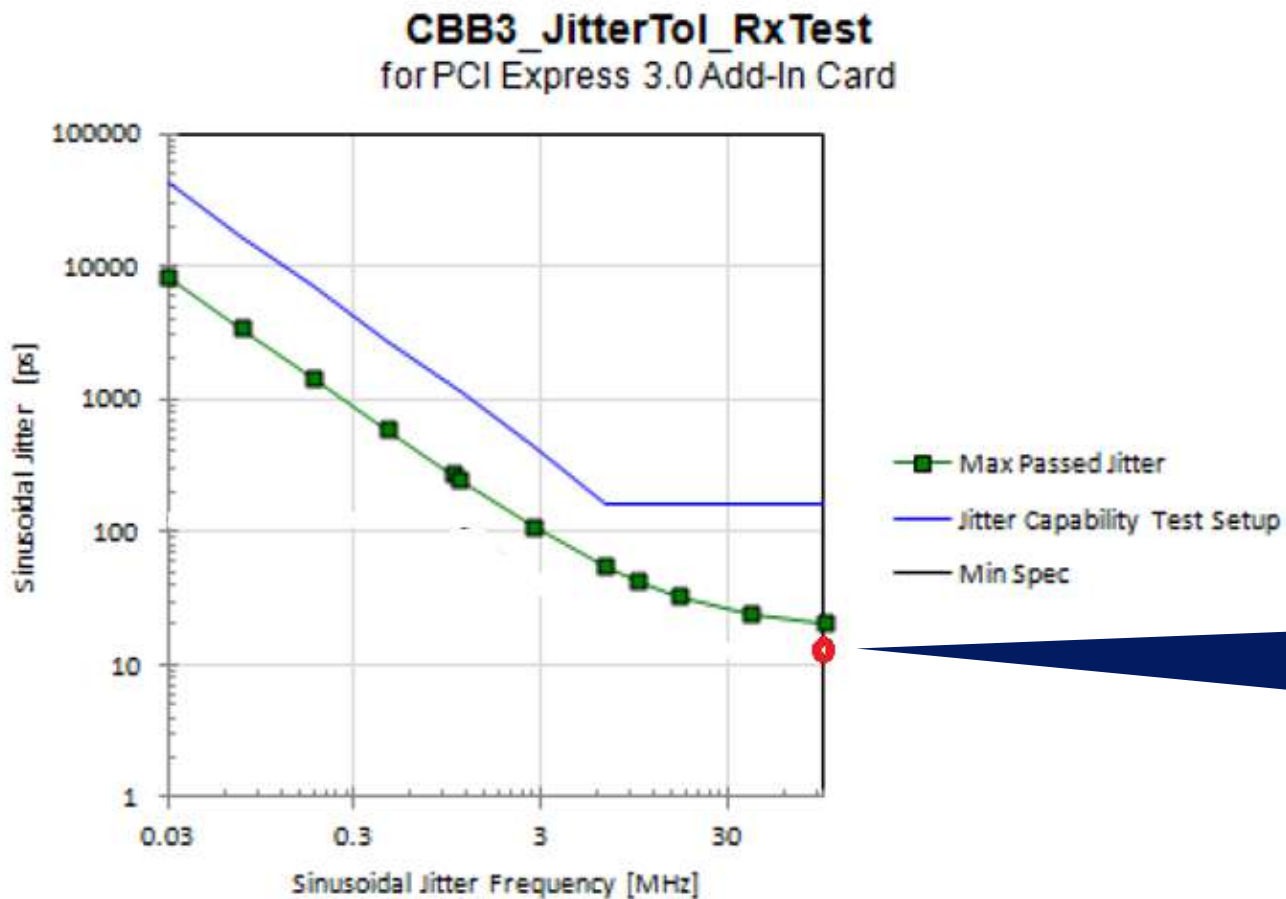


ジッタ耐性試験の考え方

ジッタ振幅



コンプライアンス/ジッタ耐性試験



PCI ExpressではGen3 or Laterにて100MHzのSJジッタにて試験を行います

コンプライアンス試験の意義

- シリアル通信が「高速化」すればするほど、ジッターに弱くなります。
 - 例えば、5Gbpsでは1ビットの時間幅は200[ps]となり、ジッターがその半分より大きくなれば、誤りが発生します。
 - ジッターは、送受信を担当するLSIだけにとどまらず、機器設計の以下の要因が大きく関わってきます。

基板配線、コネクタ、電源部

PCI-SIGワークショップ

- PCI-Expressでは、四半期ごとに年4回開催される、PCI-SIGワークショップが唯一の正式な認証試験の場となります。
- 計測器、計測用SWのベンダーがテスターを務めます。
- ホテルが会場となり、ワンフロアを貸切各テスター、受験者へ部屋が割り当てられます。



PCI-SIGワークショップ

- 4日間に渡り開催され、各参加者へスケジュールが割り当てられます。
- 受験者はテスターの部屋へ行き各種試験を実施します。唯一の認証の場であるため受験者は出来る限り試験を行います。



ご参加いただき、ありがとうございました！

後日、アンケートをメールでお送りします。ご協力のほどよろしくお願いします。



<https://graniteriverlabs.com/>